

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8129280

Basic Patent (No,Kind,Date): JP 63119268 A2 880523 <No. of Patents: 002>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): HIRANO RYUMA; ISHIHARA SHINICHIRO; HIRAO TAKASHI

IPC: *H01L-029/78; H01L-027/12

Derwent WPI Acc No: C 88-180420

JAPIO Reference No: 120367E000099

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 63119268	A2	880523	JP 86264555	A	861106	(BASIC)
JP 95099774	B4	951025	JP 86264555	A	861106	

Priority Data (No,Kind,Date):

JP 86264555 A 861106

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02502368 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **63-119268** [JP 63119268 A]

PUBLISHED: May 23, 1988 (19880523)

INVENTOR(s): HIRANO RYUMA

 ISHIHARA SHINICHIRO

 HIRAO TAKASHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
 or Corporation), JP (Japan)

APPL. NO.: 61-264555 [JP 86264555]

FILED: November 06, 1986 (19861106)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

JOURNAL: Section: E, Section No. 664, Vol. 12, No. 367, Pg. 99,
 September 30, 1988 (19880930)

ABSTRACT

PURPOSE: To realize a gate insulating film having good interface characteristic at a low temperature by forming a silicon thin film on a substrate by the reduced pressure vapor growth method and then forming a gate insulating film through thermal oxidation of silicon thin film surface under the atmosphere at least including oxygen without destroying vacuum condition of reduced pressure vapor growth apparatus.

CONSTITUTION: A silicon thin film 2 is deposited in the thickness of 1000 angstroms -5000 angstroms on an economical and low temperature glass substrate 1 using SiH(sub 4) by the reduced pressure vapor growth method, the O(sub 2) gas is introduced in the pressure of 0.1 Torr-100 Torr without destroying vacuum condition of reduced pressure vapor growth apparatus, a silicon thermal oxide films 3-1 is formed in the thickness of several tens to several hundreds angstroms at the surface of silicon thin film 2 by the thermal oxidation for about 10 minutes to 5 hours at a temperature equal to that for deposition of silicon thin film and a gate insulating film 3 is formed by depositing Ta(sub 2)O(sub 3) film 3-2. A gate electrode 4 is patterned, an interlayer insulating film 5 is deposited, a contact hole is opened, aluminum wiring 6 is formed and finally Si(sub 3)N(sub 4) of a protection film 7 is deposited by PCVD. Thus, a silicon thin film MOS transistor can be formed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-119268

⑫ Int.Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

P-8422-5F
7514-5F

⑬ 公開 昭和63年(1988)5月23日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-264555

⑯ 出 願 昭61(1986)11月6日

⑰ 発 明 者	平 野 龍 馬	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	石 原 伸 一 郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	平 尾 孝	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

2 ページ

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

(1) 絶縁基板上もしくは絶縁膜上に少くとも気体状シリコン化合物を含むガスを用いて減圧気相成長法によりシリコン薄膜を形成し、減圧気相成長装置の真空を破らないで少くとも酸素を含む混合ガス雰囲気中で熱酸化して前記シリコン薄膜の表面にシリコン酸化膜を形成することを特徴とする半導体装置の製造方法。

(2) シリコン酸化膜を形成後その上に絶縁膜を堆積することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 絶縁膜の堆積後、少くとも酸素を含む雰囲気中で熱処理することを特徴とする特許請求の範囲第2項記載の半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は薄膜半導体装置の絶縁膜の製造方法で

特に低温化に関するものである。

従来の技術

第2図に従来のシリコン薄膜NチャンネルMOSトランジスタの断面構成図を示してその製造方法について説明する。石英基板11上にシリコン薄膜12を形成してそれを島状に加工し、その後ゲート絶縁膜13を形成する。例えば特開昭58-116771号公報ではゲート絶縁膜13を温度800~1000℃で酸素を含む雰囲気又は水蒸気中でシリコン薄膜12の表面を熱酸化して形成している。14はソース・ドレインのアルミ電極、15はポリシリコンゲート電極、16は層間絶縁膜、17はパッシベーション膜である。又、例えば特開昭58-115862号公報ではシリコン薄膜12の上に直接気相成長法でSiO₂を堆積しゲート絶縁膜13を形成している。さらに、特開昭58-82568号公報ではゲート絶縁膜13の下に安定下処理層としてシリコン薄膜12の表面をプラズマ酸化、又は温度1000℃程度の熱酸化、又は酸素イオン注入による酸化膜20~30Å

を使い、その上にスパッタでゲート絶縁膜13を堆積している。

発明が解決しようとする問題点

従来のシリコン薄膜MOSトランジスタの製造工程ではゲート絶縁膜を温度800℃～1000℃の熱酸化で形成していた。そのため、基板に高温に耐える石英もしくは高温用耐熱性ガラス基板等の高価な高融点の絶縁基板が必要となり製造コストが高い。又、高温工程なのでシリコン薄膜にかかる熱歪がクラックの原因になったり、不純物の基板等から拡散する問題があった。又、温度700℃以下で熱酸化する場合は酸化速度が遅く界面特性の悪いものであった。又、低温工程でゲート絶縁膜を堆積する場合にはシリコン薄膜上に直接に気相成長したり、安定下処理層を介してスパッタリングする方法等があるが、これらの方法だとゲート絶縁膜13とシリコン薄膜12との界面特性がシリコン薄膜表面の汚染やダメージ等により悪いため良好なMOSトランジスタ特性を得ることができない。よって低温でシリコン薄膜トランジ

スタの界面特性が良いゲート絶縁膜ができていないので安価で信頼性がありしかも電気特性の良いシリコン薄膜MOSトランジスタが得られていないと言う問題点があった。

問題点を解決するための手段

上記問題点を解決するための本発明の技術的な手段は、基板上に減圧気相成長法でシリコン薄膜を形成した後、減圧気相成長装置の真空を破らないで少なくとも酸素を含む雰囲気中でシリコン薄膜表面を熱酸化してゲート絶縁膜を形成することである。

作 用

減圧気相成長法により形成されたシリコン薄膜の表面は減圧気相成長装置の真空を破らなければ非常に清浄であり活性であるから、その表面には温度500℃～700℃で数十分～数百分の熱酸化膜が早くしかも界面特性良く形成される。

実施例

以下、本発明の実施例について説明する。図は本発明のシリコン薄膜MOSトランジスタの断面

構成図である。安価な低温用(至点800℃以下)のガラス基板(例えばコーニング7059)1の上に減圧気相成長法で SiH_4 を用い、温度550℃～700℃、圧力0.05 Torr～1 Torrでシリコン薄膜2を1000Å～5000Å堆積し、減圧気相成長装置の真空を破らないで O_2 ガスを圧力0.1 Torr～1.0 Torrになるように導入し、シリコン薄膜の堆積と同程度の温度で約10分～5時間熱酸化を行いシリコン薄膜2の表面に数十～数百Åのシリコン熱酸化膜3-1を形成した。そして、さらにゲート耐圧を上げるために Ta_2O_5 膜3-2を熱酸化膜3-1の上にマグネトロンスパッタ法で600Å堆積してゲート絶縁膜3を形成した。その後、ゲート電極4をパターンニングセルフアライメントでA、Bをイオン注入し窒素中で温度550℃～700℃で1時間から30時間活性化してソース・ドレインを形成した。そして、層間絶縁膜5を堆積しコンタクトホールを開けアルミ配線6を行い最後にPCVDで保護膜7の Si_3N_4 を堆積してシリコン薄膜MOSトランジスタを形成した。

この結果、界面電荷密度が温度800℃以上で熱酸化したときの熱酸化膜と同程度であり、形成されたMOSトランジスタの移動度もP、N両チャンネルともに数十 $\text{cm}^2/\text{V}\cdot\text{s}$ あり、ドレイン電流のON/OFF比も6ケタ以上あった。又、シリコン薄膜2の堆積は温度800℃以上では多結晶シリコンとなりトランジスタの移動度を高くするし、温度550℃では圧力を高くして堆積して堆積時間を早くしてやれば良い。本実施例では全工程の最高温度が550℃でもシリコン薄膜MOSトランジスタが形成できることを示した。さらに、 Ta_2O_5 膜3-2がない場合はゲート耐圧が低くなるだけで問題はなかった。又、ゲートの界面特性は熱酸化膜3-1で決っているのでスパッタ、CVD等で熱酸化膜3-1に絶縁膜を堆積しても、MOSトランジスタの電気特性を悪くしたりはしなかった。さらに、絶縁膜の堆積後、酸素を含むガス中で温度550℃～700℃で熱処理をするとさらにMOSトランジスタの電気特性は良くなった。

発明の効果

本発明によればシリコン薄膜MOSトランジスタのゲート絶縁膜を減圧気相成長させたシリコン薄膜を装置の真空を破ることなく熱酸化して形成することにより界面特性の良いゲート絶縁膜が低温でできた。又、その熱酸化膜の上に絶縁膜を堆積した2層構造のゲート絶縁膜でもできることを示した。又、これらのことより安価な絶縁基板上に信頼性があり特性の良いシリコン薄膜MOSトランジスタが低温で可能であることを示した。

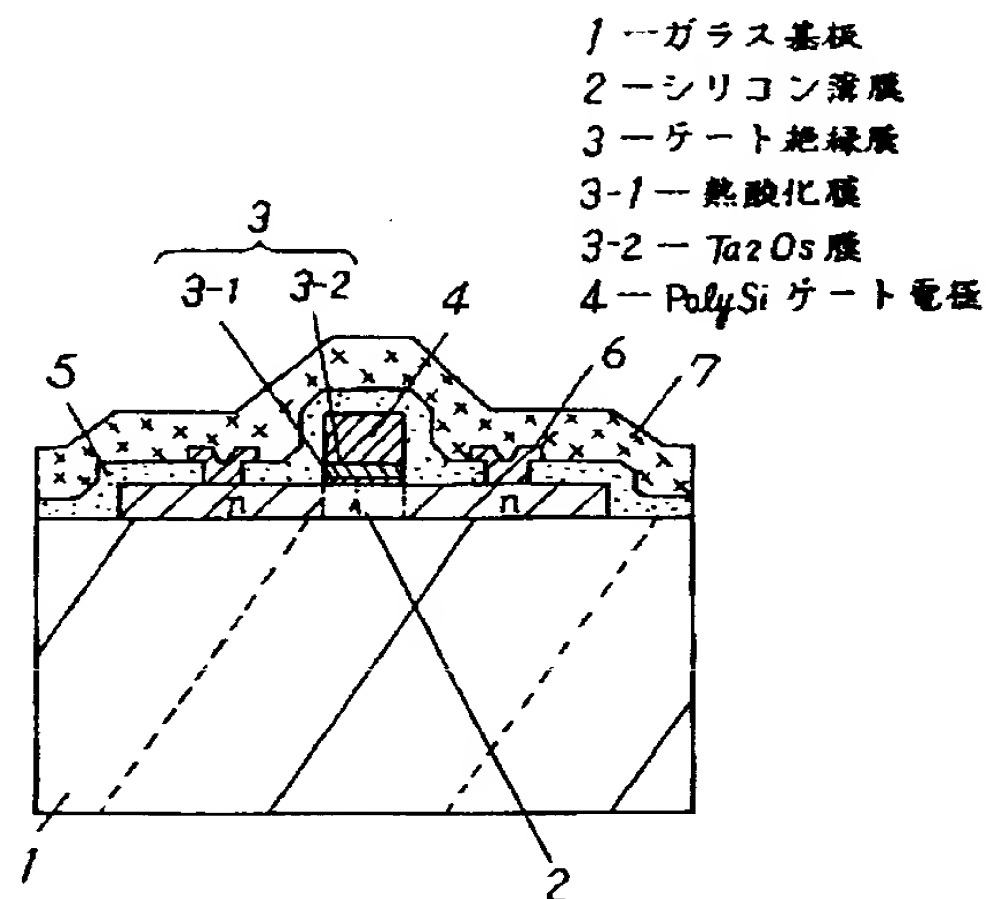
4、図面の簡単な説明

第1図は本発明の実施例の薄膜トランジスタの断面構成図、第2図は従来の薄膜MOSトランジスタの断面構成図である。

1……ガラス基板、2……シリコン薄膜、3……ゲート絶縁膜、3-1……熱酸化膜、4……ゲート電極、5……層間絶縁膜、11……石英基板。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

